

COMPOUND SEMICONDUCTOR LAMINATION BODY

Patent Number: JP2210816
Publication date: 1990-08-22
Inventor(s): SHIKIYOU NOBUAKI
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP2210816
Application Number: JP19890029697 19890210
Priority Number(s):
IPC Classification: H01L21/20; H01L21/205; H01L29/267
EC Classification:
Equivalents:

Abstract

PURPOSE: To form a compound semiconductor layer whose crystal lattice constant is larger than gallium arsenide and the like, on a silicon substrate of large area, with excellent crystallizability, by interposing a specified compound semiconductor layer having almost the same crystal lattice constant as the compound semiconductor layer between the silicon substrate and the compound semiconductor layer.

CONSTITUTION: On a silicon substrate 1, a second compound semiconductor layer 2 composed of $\text{Ge}_{1-x}\text{Sn}_x$, mixed crystal of germanium and tin, is formed as a buffer layer, and thereon a compound semiconductor layer 3 is formed. The crystal lattice constant of $\text{Ge}_{1-x}\text{Sn}_x$ can be continuously changed by changing the mixed crystal ratio (x). As a result, when the mixed crystal ratio (x) is so selected that the crystal lattice constant of the second compound semiconductor layer 2 coincides with the crystal lattice constant of a compound semiconductor layer 3 to be formed on the layer 2, dislocation is not caused on the interface 5 between the second compound semiconductor layer 2 and the compound semiconductor layer 3. Thereby, a compound semiconductor layer whose crystal lattice constant is larger than gallium arsenide and germanium can be formed on the silicon substrate of large area, with excellent crystallizability.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-210816

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月22日

H 01 L 21/20
21/205
29/267

7739-5F
7739-5F
8526-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 化合物半導体積層体

⑯ 特 願 平1-29697

⑰ 出 願 平1(1989)2月10日

⑱ 発 明 者 止 境 伸 明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 寒川 誠一

明 細 書

1. 発明の名称

化合物半導体積層体

2. 特許請求の範囲

シリコン基板(1)上に化合物半導体層(3)

を有する化合物半導体積層体において、

前記シリコン基板(1)と前記化合物半導体層(3)との間に、前記化合物半導体層(3)の結晶格子定数とお、むね同一の結晶格子定数を有するゲルマニウムと錫との混晶層(2)が介在される

ことを特徴とする化合物半導体積層体。

3. 発明の詳細な説明

〔概要〕

結晶性が良好な大面積の化合物半導体積層体に関し、

ガリウムヒ素、ゲルマニウムより結晶格子定数の大きな化合物半導体層を、大面積のシリコン基板上に結晶性が良好となるように形成可能とすることを目的とし、

シリコン基板上に化合物半導体層を有する化合物半導体積層体において、前記のシリコン基板と前記の化合物半導体層との間に、前記の化合物半導体層の結晶格子定数とお、むね同一の結晶格子定数を有するゲルマニウムと錫との混晶層が介在されてなる化合物半導体積層体をもって構成される。

〔産業上の利用分野〕

本発明は、化合物半導体積層体の改良、特に、結晶性が良好な大面積の化合物半導体積層体の改良に関する。

〔従来の技術〕

化合物半導体を用いた電子デバイスは、現在多用されているシリコン半導体を用いた電子デバイスよりも高速に信号処理をすることができる特徴を有している。しかし、化合物半導体には、ガリウム、インジウム等の稀少な金属が使用されるため、価格が高く、また、シリコン基板のような

大面積の基板を製造することは困難であった。

近年、大面積の化合物半導体基板を製造する研究が種々なされた結果、最近になって、気相成長法(CVD法)、分子線結晶成長法(MBE法)等の結晶成長法を使用してシリコン基板上に化合物半導体層を結晶成長させ、大面積の化合物半導体基板を製造することが可能になってきた。しかし、結晶成長した化合物半導体層には多くの転位等の欠陥が含まれ、表面モロロジーが悪くて表面に凹凸が形成されるため、この化合物半導体層上に高集積度をもって電子デバイスを形成することは、現状では不可能である。このように、表面モロロジーが悪くなる主な原因は、シリコンの結晶格子定数と化合物半導体、例えばガリウムヒ素の結晶格子定数との間には約4%の相違があり、また、熱膨張係数も2倍と大きく相違するためと考えられる。そこで、この問題を解決するために、シリコン基板とガリウムヒ素層との間にガリウムヒ素と結晶格子定数が殆ど等しく、また、熱膨張係数も同等であるゲルマニウムの層を介在させ、

シリコン基板とガリウムヒ素層との間に格子不整合により発生する転位を吸収させる方法が開発された。

(発明が解決しようとする課題)

ところが、化合物半導体層がガリウムヒ素よりも結晶格子定数が大きいインジウムガリウムヒ素、インジウムリン、インジウムヒ素、インジウムアンチモン等である場合には、ゲルマニウム層をバッファ層として介在させても、シリコン基板と化合物半導体層との格子不整合を緩和することができず、界面に発生した転位が化合物半導体層表面にまで達して、デバイスを形成したときの電気的特性を著しく低下させる。

本発明の目的は、ガリウムヒ素、ゲルマニウムより結晶格子定数の大きな化合物半導体層を、大面積のシリコン基板上に結晶性が良好となるように形成可能とすることにある。

(課題を解決するための手段)

上記の目的は、シリコン基板(1)上に化合物半導体層(3)を有する化合物半導体積層体において、前記のシリコン基板(1)と前記の化合物半導体層(3)との間に、前記の化合物半導体層(3)の結晶格子定数とほぼ同一の結晶格子定数を有するゲルマニウムと錫との混晶層(2)を介在させてなる化合物半導体積層体によって達成される。この介在させる混晶層は、結晶格子定数が、シリコンの結晶格子定数から前記の化合物半導体層(3)の結晶格子定数まで、次第に変化させてある積層構成(2・21)としてもよい。

(作用)

第1図参照

本発明に係る化合物半導体積層体においては、シリコン基板1の上に、例えばゲルマニウムと錫との混晶である $\text{Ge}_{1-x}\text{Sn}_x$ よりなる第2の化合物半導体層2をバッファ層として形成し、その上に化合物半導体層3を形成する。 $\text{Ge}_{1-x}\text{Sn}_x$

Sn_x は、その混晶比 x の値を変えることにより、結晶格子定数を5.64613Åから6.48920Åまで連続的に変えることができる。 $\text{Ge}_{1-x}\text{Sn}_x$ よりなる第2の化合物半導体層2の結晶格子定数が、その上に形成される化合物半導体層3の結晶格子定数と一致するように混晶比 x を選定すれば、 $\text{Ge}_{1-x}\text{Sn}_x$ よりなる第2の化合物半導体層2と化合物半導体層3との界面5には転位は発生しない。一方、シリコン基板1と $\text{Ge}_{1-x}\text{Sn}_x$ よりなる第2の化合物半導体層2との結晶格子定数は不整合となるので、その界面4には結晶格子定数の不整合による転位が多数発生するが、 $\text{Ge}_{1-x}\text{Sn}_x$ よりなる第2の化合物半導体層2の膜厚を十分厚く形成すれば、 $\text{Ge}_{1-x}\text{Sn}_x$ よりなる第2の化合物半導体層2の表面5に達する転位の数を十分減少させることができる。この結果、化合物半導体層3の表面に達する転位は、シリコン基板1と $\text{Ge}_{1-x}\text{Sn}_x$ よりなる第2の化合物半導体層2との界面4に発生した転位のうちの極く一部だけとなる。

第 1 表
各物質の格子定数

	格子定数
シリコン	5.43095
ゲルマニウム	5.64613
燐	6.48920
ガリウムヒ素	5.6533
インジウムヒ素	6.0584
インジウムアンチモン	6.4794
インジウムリン	5.8686
ガリウムアンチモン	6.0959

このように、 $\text{Ge}_{1-x}\text{Sn}_x$ よりなる化合物半導体層 2 は、第 1 表に示すインジウムヒ素、インジウムアンチモン、インジウムリン、ガリウムアンチモン、または、インジウムヒ素とガリウムヒ素との間の格子定数を有するインジウムガリウムヒ素等のガリウムより大きい格子定数を有する化合物半導体層を成長させるときのバッファ層として両者の界面 5 に新たに転位等の欠陥

が発生するのを防ぐとともに、シリコン基板 1 と第 2 の化合物半導体層 2 との界面 4 に発生した転位が化合物半導体層 3 の表面に達するのを抑制するので、化合物半導体層 3 の表面モロロジーは極めて平坦となり、そこに形成されるデバイスの電気的特性は良好となる。

なお、シリコン基板 1 と化合物半導体層 3 との間に少なくとも 2 層の化合物半導体層を介在させ、その格子定数をシリコン基板 1 の格子定数から化合物半導体層 3 の格子定数まで次第に変化させれば、各界面の格子不整合は縮小され、各界面に発生する転位が減少して、化合物半導体層 3 の表面モロロジーはさらに平坦となる。

(実施例)

以下、図面を参照しつつ、本発明の二つの実施例に係る化合物半導体積層体について説明する。

第 1 例

第 2 図参照

シリコン基板 1 上に、 $\text{Ge}_{1-x}\text{Sn}_x$ よりなる化合物半導体層 2 と $\text{In}_{1-x}\text{Ga}_x\text{As}$ 層 3 と InP 層 6 とを形成したものであり、その製造方法を以下に説明する。

シリコン基板 1 上に例えばテトラメチルゲルマニウムとテトラメチル燐とを使用してなす有機金属気相成長法 (MOCVD 法) を使用して、 $\text{Ge}_{1-x}\text{Sn}_x$ よりなる化合物半導体層 2 を 1 μm 厚程度に形成し、その上に、例えばトリメチルインジウムとトリメチルガリウムとアルシンとを使用してなす MOCVD 法を使用して

$\text{In}_{1-x}\text{Ga}_x\text{As}$ 層 3 を 1,000 \AA 厚程度に形成し、さらに例えばトリメチルインジウムとホスフィンとを使用してなす MOCVD 法を使用して InP 層 6 を 5,000 \AA 厚程度に形成する。

$\text{Ge}_{1-x}\text{Sn}_x$ 層 2 と $\text{In}_{1-x}\text{Ga}_x\text{As}$ 層 3 と InP 層 6 との結晶格子定数はそれぞれ 5.8686 \AA となり、同一であるため、これらの層の

界面 5・7 には格子不整合による転位は発生しない。シリコン基板 1 と $\text{Ge}_{1-x}\text{Sn}_x$ 層 2 との界面 4 には格子不整合による転位が発生するが、 $\text{Ge}_{1-x}\text{Sn}_x$ 層 2 の厚さを 1 μm 厚程度以上にすることにより、 $\text{Ge}_{1-x}\text{Sn}_x$ 層 2 の表面に達する転位の数を減少させることができる。また、 InP 層 6 と同じ結晶格子定数を有し、しかも異なる組成を有する $\text{In}_{1-x}\text{Ga}_x\text{As}$ 層 3 を InP 層 6 と $\text{Ge}_{1-x}\text{Sn}_x$ 層 2 との間に形成することによって、 $\text{Ge}_{1-x}\text{Sn}_x$ 層 2 の表面に達した転位をさらに減少させることができ、 InP 層 6 の表面モロロジーが平坦になる。

第 2 例

第 3 図参照

シリコン基板 1 上に、 Ge 層 21 と $\text{Ge}_{1-x}\text{Sn}_x$ 層 2 と $\text{In}_{1-x}\text{Ga}_x\text{As}$ 層 3 と InP 層 6 とを形成したものであり、その製造方法を以下に説明する。

シリコン基板 1 上に MOCVD 法を使用して

Ge層21を0.5 μ m厚程度に形成し、その上にGe_{0.75}Sn_{0.25}層2を0.5 μ m厚程度に形成し、次いで、In_{0.53}Ga_{0.47}As層3を1,000 \AA 厚程度に形成し、さらにInP層6を5,000 \AA 厚程度に形成する。シリコン基板1からIn_{0.53}Ga_{0.47}As層3まで結晶格子定数が2段階に変化するので、シリコン基板1とGe層21との界面8の格子不整合及びGe層21とGe_{0.75}Sn_{0.25}層2との界面9の格子不整合は、シリコン基板1とGe_{0.75}Sn_{0.25}層2との界面の格子不整合より縮小され、それぞれの界面8・9に発生する転位の数は減少し、InP層6の表面のモロロジーは、さらに平坦化される。なお、結晶格子定数を変化させる段階を多くすればする程、より結晶性の良好な化合物半導体層6が得られる。

なお、上記実施例では、いずれもMOCVD法によるGeSn層の成長は300～550℃の温度にて行う。300℃より低いと成長層が形成できず550℃より高くなるとSnの蒸発が起こり良好な結晶が得られない。

2、3、6、21・・・化合物半導体層、
4、5、7、8、9・・・界面。

代理人 弁理士 寒川雄一

(発明の効果)

以上説明せるとおり、本発明に係る化合物半導体積層体においては、シリコン基板と化合物半導体層との間に、化合物半導体層の結晶格子定数とおむね同一の結晶格子定数を有する第2の化合物半導体層を介在させてなることにより、シリコン基板と化合物半導体層との格子不整合を緩和し、転位の発生を低減することができるので、ガリウムヒ素、ゲルマニウム等より結晶格子定数の大きい化合物半導体層を大面積のシリコン基板上に結晶性が良好となるように形成することができる。

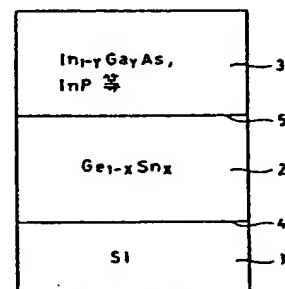
4. 図面の簡単な説明

第1図は、本発明に係る化合物半導体積層体の原理説明図である。

第2図は、本発明の第1実施例に係る化合物半導体積層体の説明図である。

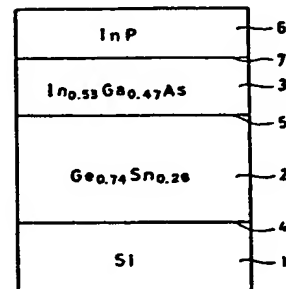
第3図は、本発明の第2実施例に係る化合物半導体積層体の説明図である。

1・・・シリコン基板、



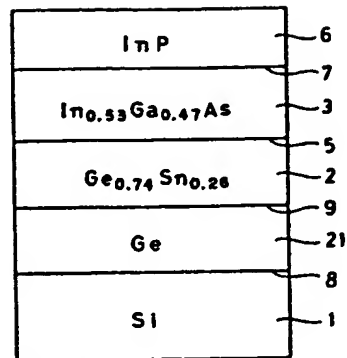
本発明

第1図



化合物半導体積層体

第2図



化合物半導体積層体

第 3 図